

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-208790
 (43) Date of publication of application : 26. 07. 1994

(51) Int. Cl. G11C 11/407
 G11C 11/41
 H03K 5/13
 H03K 19/0948

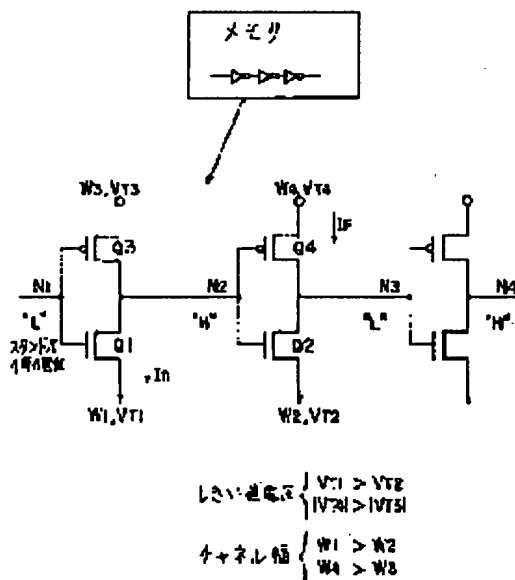
(21) Application number : 05-003011 (71) Applicant : TOSHIBA CORP
 (22) Date of filing : 12. 01. 1993 (72) Inventor : TAKASHIMA DAIZABURO

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To sustain high speed operation while suppressing stand-by current even when a low voltage internal power supply is employed by setting a threshold for a MOS transistor and setting the power supply variably at the time of stand-by.

CONSTITUTION: Nodes N1 and N3 have L levels whereas nodes N2 and N4 have H levels. When the threshold voltages V11, V14 of TrQ1, Q4 having source-drain applied with Vcc (cut off) are kept at high levels for the inverters in two preceding stages, stand-by current can be restricted to 1μA, for example. The stand-by current increases even if the source-drain voltage exceeds the threshold voltages V12, V13 of TrQ2, Q3. Consequently, the threshold voltages V12, V13, can be lowered without increasing leak current at the time of stand-by. Leak current of an active transistor increases when the V12, V13 are lowered but the leak can be neglected to some extent because of high active current of memory.



LEGAL STATUS

[Date of request for examination] 01. 12. 1999
 [Date of sending the examiner's decision of rejection] 21. 05. 2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection] 2002-11282

[Date of requesting appeal against
examiner's decision of rejection] 20. 06. 2002

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-208790

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/407

11/41

H03K 5/13

4239-5J

6866-5L

6866-5L

G11C 11/34

354 F

A

審査請求 未請求 請求項の数 3 OL (全 12 頁) 最終頁に続く

(21)出願番号

特願平5-3011

(22)出願日

平成5年(1993)1月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

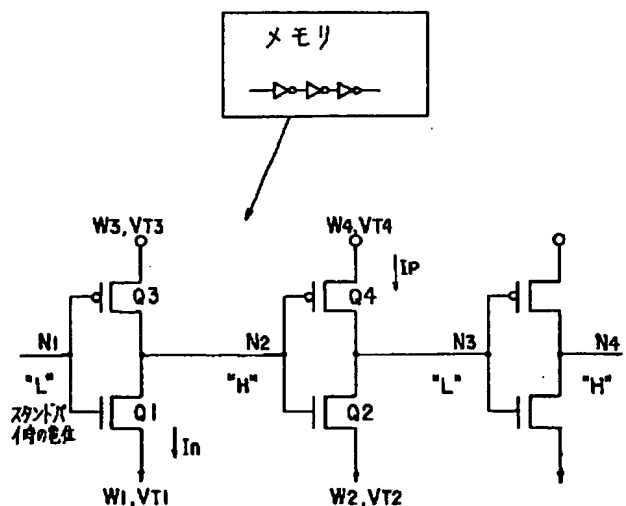
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 内部電源を低電圧化した場合にも高速動作を保ち、且つスタンドバイ電流を低く抑えることのできる半導体装置を提供すること。

【構成】 消費電流が大きいアクティブ時と消費電流が極めて小さいスタンドバイ時が存在し、スタンドバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSトランジスタを有する半導体装置において、同一チャネルのMOSトランジスタに関し、スタンドバイ時にカットオフするトランジスタQ1, Q4のしきい値 V_{t1} , V_{t4} を、スタンドバイ時にオンするトランジスタQ2, Q3のしきい値 V_{t2} , V_{t3} よりも高く設定($V_{t1} > V_{t2}$, $|V_{t4}| > |V_{t3}|$)してなることを特徴とする。



しきい値電圧 $\begin{cases} V_{t1} > V_{t2} \\ |V_{t4}| > |V_{t3}| \end{cases}$

チャネル幅 $\begin{cases} W1 > W2 \\ W4 > W3 \end{cases}$

3

チャネルのMOSトランジスタに関し、スタンドバイ時にカットオフするトランジスタのしきい値を、スタンドバイ時にオンするトランジスタのしきい値よりも高く設定したことを特徴とする。ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0011】(1) 同一チャネルのMOSトランジスタに関し、しきい値が低い方のトランジスタのチャネル幅を、しきい値が高い方のトランジスタのチャネル幅より小さく設定すること。

【0012】(2) NOR、NANDなどMOSトランジスタが直列接続されており、スタンドバイ時にこの直列回路がカットオフする場合には、直列接続のトランジスタの少なくとも1個のしきい値電圧を高くすること。

【0013】また、本発明(請求項3)は、消費電流が大きいアクティブ時と消費電流が極めて小さいスタンドバイ時が存在し、スタンドバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSトランジスタを有する半導体装置において、スタンドバイ時にカットオフするpMOSトランジスタが接続しているVcc電源側を、スタンドバイ時にVccの電位よりも下げ、スタンドバイ時にカットオフするnMOSトランジスタが接続しているVss電源側を、スタンドバイ時にVssの電位よりも上げ、かつスタンドバイ時にオンするpMOS、nMOSに接続する各電源側の電位を変えないことを特徴とする。ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0014】(1) NOR、NANDなどMOSトランジスタが直列接続されており、その端にVcc、Vssがある場合、スタンドバイ時にカットオフする直列回路では、そのVccを下げ、Vssを上げること。

【0015】(2) pチャネル及びnチャネルのMOSトランジスタからなるセルが複数個配置されたコア回路が複数個設けられている場合、アクティブ時となっても選択されないコア回路は、スタンドバイ時にカットオフするpMOSトランジスタが接続しているVcc電源側と、スタンドバイ時にカットオフするnMOSトランジスタが接続しているVss電源側を、スタンドバイ時と同じ電位に保持すること。

【0016】

【作用】本発明(請求項1、2)によれば、スタンドバイ時にカットオフするトランジスタ及びオンするトランジスタのしきい値を上述のように設定することにより、次のような作用を奏する。例えば、カットオフするトランジスタのしきい値を変えずに、オンするトランジスタのしきい値を低くすることにより、スタンドバイ時におけるリーク電流を増やすことなく、高速化をはかることが可能となる。逆に、オンするトランジスタのしきい値を変えずに、カットオフするトランジスタのしきい値を高くすることにより、高速動作を阻害することなく、ス

4

タンドバイ時におけるリーク電流を抑制することが可能となる。

【0017】低電圧化した場合、両トランジスタのしきい値を下げると、スタンドバイ時のリーク電流が問題となるが、カットオフするトランジスタのしきい値をスタンドバイ電流が低減できる程度に高くし、オンするトランジスタのしきい値をアクティブ時の電流が大幅に増大しない程度に低くすることにより、スタンドバイ電流を抑制しつつ高速動作を実現することが可能となる。

【0018】また、しきい値電圧が低いトランジスタのチャネル幅を狭くし、しきい値電圧が高いトランジスタのチャネル幅を広くすることにより、スタンドバイからアクティブのゲート遅延をアクティブからスタンドバイへのゲート遅延と同じくらいにでき、LSI全体での動作スピードを速くすることが可能となる。

【0019】本発明(請求項3)によれば、スタンドバイ動作において、入力が“L”レベルでカットオフするnMOSトランジスタに接続するVssの電位を上げることにより、ゲート入力は“L”レベルになったままなので、ゲート・ソース間電圧はマイナス電位となる。従って、このnMOSトランジスタのしきい値電圧を低くしてもカットオフ特性は大幅に改善し、リーク電流を抑えることができる。

【0020】pMOSも同様に、スタンドバイ動作において、入力が“H”レベルでカットオフするpMOSトランジスタに接続するVccの電位を下げるることにより、ゲート入力は“H”レベルのままなので、ゲート・ソース間電圧はカットオフする方向に進む。従って、このpMOSトランジスタのしきい値電圧を低くしてもカットオフ特性は大幅に良くなり、リーク電流を抑えることができる。

【0021】このように、スタンドバイ時にカットオフするMOSトランジスタのしきい値を下げることで、これによりVccの電位を従来より下げても高速動作が実現でき、かつスタンドバイ時のリーク電流を抑えることが可能となる。

【0022】

【実施例】以下、図面を参照して、本発明の実施例を説明する。

【0023】まず、請求項1の発明の実施例について説明する。図1は、本発明の第1の実施例に係わるメモリー一般の回路の一部の論理ゲートを示す。これは、3段のインバータの例である。

【0024】前記図16に示したようにメモリはアクティブとスタンドバイ状態が存在し、スタンドバイ時は、メモリチップ中の殆どの回路はある一定の値を持つ。即ち、各ノードが“H”レベルのVcc又は“L”レベルのVssとなっている。

【0025】図1の例では、ノードN1、N3が“L”レベル、ノードN2、N4が“H”レベルとなってい

5

る。このときに前2段のインバータを見ると、ソース・ドレイン間に V_{cc} が付加されている(カットオフしている)トランジスタ $Q1$ 、 $Q4$ のしきい値電圧 V_{t1} 、 V_{t4} を高いまま(従来のしきい値電圧)としておけば、スタンバイ電流を例えば $1\mu A$ に抑えることができる。そして、ソース・ドレイン間の電圧が $0V$ の(オンしている)トランジスタ $Q2$ 、 $Q3$ のしきい値電圧 V_{t2} 、 V_{t3} を低くしてもスタンバイ電流は増加しない。

【0026】上記の理由から、スタンバイ時におけるリーク電流を増やすことなく、しきい値電圧 V_{t2} 、 V_{t3} を低下させることができる。 V_{t2} 、 V_{t3} を下げると、アクティブ時のトランジスタのリーク電流の増大が起こるが、前記図17に示すようにメモリのアクティブ電流は大きく、一般に数 $10mA$ ~数 $100mA$ もあるので、多量のリーク電流があっても無視できる。例えば $1mA$ のリーク電流を許すと、 V_{t2} 、 V_{t3} のしきい値電流は、図15(c)より $0.3V$ にまで低下できる。これは同じく図15(c)より V_{t1} 、 V_{t4} のリークが $1\mu A$ とすると、 $0.6V$ のしきい値電圧が必要な点を考えると $V_{t1}-V_{t2}=0.3V$ 、 $|V_{t4}|-|V_{t3}|=0.3V$ となる。即ち、 $V_{t1}>V_{t2}$ 、 $|V_{t4}|>|V_{t3}|$ となる。

【0027】このときのゲート遅延を、図2に示す。図2において、(a)は従来の全 V_t が高い場合を示し、(b)(c)は本実施例の場合を示している。図2(b)において、ディレイ $d1$ 、 $d3$ は従来通りであるが、ディレイ $d2$ 、 $d4$ は V_{t2} 、 V_{t3} が低くできるためゲート遅延は小さく、アクティブ状態からスタンバイ状態の変化時に高速化している。

【0028】ここで、しきい値が低く高速のトランジスタ $Q2$ 、 $Q3$ において、その速度が速い分、チャネル幅 $W2$ 、 $W3$ を小さくして速度を落とす。そして、この減った W をしきい値が高く低速のトランジスタ $Q1$ 、 $Q4$ に振り分けて、 $W1$ 、 $W4$ を大きくして $Q1$ 、 $Q4$ を高速化することができる。

【0029】即ち、 $W1>W2$ 、 $W4>W3$ とすれば、図2(c)に示すディレイ $d1$ 、 $d2$ 、 $d3$ 、 $d4$ 共、図2(a)のディレイ $d1$ 、 $d2$ 、 $d3$ 、 $d4$ より V_{cc} ミナム時には遅延を小さくして高速化することができる。

【0030】図3は、本実施例の V_{cc} ミナムでのゲート遅延時間を示す。従来の例えば $V_t=0.6V$ の時の遅延を(1)に示す。これに対して全部を $V_t=0.3$ にした時の遅延を(3)に示すが、この場合はスタンバイ電流が多くなる。本実施例は $V_t=0.3$ と 0.6 の2通りを、 $pMOS$ 、 $nMOS$ の両方に適用している。そして、従来の $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ の W を $W1=W$ 、 $W2=W$ 、 $W3=2W$ 、 $W4=2W$ とした場合で、本実施例の V_{cc} ミナム時の $V_t=0.6V$ のトランジスタ $Q1$ 、 $Q4$ のスピードより $V_t=0.3(V)$ の $Q2$ 、

6

$Q3$ のトランジスタのスピードが K 倍高速の場合、

$$W1 = 2KW / (K+1)$$

$$W2 = 2W / (K+1)$$

$$W3 = 4W / K + 1$$

$$W4 = 4KW / (K+1)$$

【0031】とし、 $W1/W2=K$ 倍、 $W4/W3=K$ 倍として、 $Q1$ 、 $Q4$ のチャネル幅を $Q2$ 、 $Q3$ のチャネル幅より K 倍してやりアクティブ→スタンバイ、スタンバイ→アクティブのスピードを同一にする。この場合、アクティブ→スタンバイ、スタンバイ→アクティブの遅延はおおよそ次のようになる。即ち、スタンバイ→アクティブの遅延は、本実施例で

$$(K+1) / 2KW + \{ (K+1) / 4KW \} \times 2$$

従来例で

$$(1/W) + (1/2W) \times 2$$

となり、本実施例の方が従来例よりも $2K/(K+1)$ 倍速くなる。また、アクティブ→スタンバイの遅延は、本実施例で

$$\{ (K+1) / 2W \} \times (1/K) + \{ (K+1) / 4W \} \times (1/K) \times 2$$

従来例で

$$(1/W) + (1/2W) \times 2$$

となり、スタンバイ→アクティブの場合と同様に、本実施例の方が従来例よりも $2K/(K+1)$ 倍速くなる。即ち、従来の遅延を1とすると全トランジスタ $V_t=0.3$ の遅延は $1/K$ で本実施例の遅延は $(K+1)/2K$ となるので、本実施例の遅延は

$$\{ 1 + (1/K) \} / 2 = (K+1) / 2K$$

で中間のスピードとなる。図3は(1)と(3)の間に(2)が来ることを示している。

【0032】このように本実施例によれば、スタンバイ時にカットオフするトランジスタ $Q1$ 、 $Q4$ のしきい値 V_{t1} 、 V_{t4} はそのままなので、スタンバイ時のリーク電流は低減できる。また、アクティブ時には大きなアクティブ電流が流れるので、アクティブ時にオフする(スタンバイ時にオンする)トランジスタ $Q2$ 、 $Q3$ のしきい値 V_{t2} 、 V_{t3} はアクティブ電流に比べ低ければよいので、しきい値 V_{t2} 、 V_{t3} は低くできる。よって、アクティブからスタンバイへ変わる時のゲート遅延時間は大幅に短くなり、低 V_{cc} でも高速化することができる。即ち、スタンバイ時におけるリーク電流を増やすことなく高速化をはかることができる。

【0033】また、しきい値電圧が低いトランジスタ $Q2$ 、 $Q3$ のチャネル幅を狭くし、しきい値電圧が高いトランジスタ $Q1$ 、 $Q4$ のチャネル幅を広くすることにより、スタンバイからアクティブのゲート遅延をアクティブからスタンバイへのゲート遅延と同じくらいにでき、これによりLSI全体での動作スピードを速くすることができる。

【0034】図4及び図5の(a)~(c)は、それぞ

れ本発明の第2の実施例を示す。これは、本発明をインバータばかりでなくNANDやNORゲートに適用した例である。

【0035】NANDでは、図4(a)(b)に示すように出力がスタンバイ時に“H”となる場合、スタンバイ時にカットオフするnMOSトランジスタのしきい値 V_t を高くし、図4(c)に示すように出力がスタンバイ時に“L”となる場合、スタンバイ時にカットオフするpMOSトランジスタのしきい値 V_t を高くする。ここで、出力がスタンバイ時“H”の時、直列のnMOSトランジスタは少なくとも1つがしきい値 V_t が高ければよい。

【0036】NORでは、図5(a)に示すように出力がスタンバイ時に“H”となる場合、スタンバイ時にカットオフするnMOSトランジスタのしきい値 V_t を高くし、図5(b)(c)に示すように出力がスタンバイ時に“L”となる場合、スタンバイ時にカットオフするpMOSトランジスタのしきい値 V_t を高くする。ここで、出力がスタンバイ時“L”の時、直列のpMOSトランジスタは少なくとも1つがしきい値 V_t が高ければよい。

【0037】このように本発明は、インバータに限らず各種のLSIに適用することができ、第1の実施例と同様の効果が得られる。また、第1の実施例と同様に、しきい値 V_t の低いものはチャネルWを小さくし、 V_t の高いものはWを大きくすればより有効である。

【0038】図6は、本発明をDRAMに適用した第3の実施例を示す。この例では、スタンバイ時、(1/2) V_{cc} のプリチャージの場合はソース・ドレイン間が0Vなので、全てのトランジスタのしきい値 V_t を低く

【0039】図7は、本発明の第4の実施例を示す。これは、本発明をDRAMのカラムデコードに適用した例である。全てスタンバイのノードの電位に基づいて、 V_t の高低及びWの大きさを変えることにより高速化することができる。

【0040】以上のように請求項1の発明は、全てのスタンバイ時にノードが固定の回路に適用できる。しかも、一部動作マージンの厳しい所にはnMOS、pMOS両方に V_t の低いものを用いても、全体のリーク電流には影響しないので、本発明はチップ全体を V_{cc} が低い動作では有効である。

【0041】次に、請求項3の発明の実施例について説明する。図8は、本発明の第5の実施例に係わるメモリ一般の回路の一部の論理ゲートを示す。これは、4段のインバータの例である。

【0042】前記図16に示したようにメモリはアクティブとスタンバイ状態が存在し、スタンバイ時は、メモリチップ中の殆どの回路はある一定の値を持つ、即ち、各ノードが“H”レベルの V_{cc} 又は“L”レベルの

V_{ss} となっている。

【0043】図8の例では、ノード $N1$ 、 $N3$ 、 $N5$ が“L”レベル、ノード $N2$ 、 $N4$ が“H”レベルとなっている。このとき、トランジスタ Q_{n1} 、 Q_{n3} のnMOS、 Q_{p2} 、 Q_{p4} のpMOSには、ソース・ドレイン間に従来の方式では高い電位差が発生している。

【0044】本実施例では、この Q_{n1} 、 Q_{n3} の電源の V_{ss} をチップ内部制御の V_{ss1} とし、 Q_{p2} 、 Q_{p4} の電源の V_{cc} をチップ内部制御の V_{cc1} とし、スタンバイ時には、 V_{cc1} を V_{cc} より低くして、 V_{ss1} は V_{ss} より高くすることを特徴としている。これによりスタンバイ時には、例えば Q_{n1} のゲート・ソース間電位は $V_{ss}-V_{ss1}$ ($V_{ss1} > V_{ss}$)のため、 $V_{ss}-V_{ss1}-V_t < -V_t$ となり通常のトランジスタのしきい値 V_t で、ゲート・ソース間が0Vのトランジスタよりカットオフ特性が大幅に改善される。

【0045】例えば、 $V_t = 0.3V$ でも $V_{ss}-V_{ss1}-V_t = -0.3-0.3 = -0.6V$ で、従来の $V_t = 0.6V$ のトランジスタの特性と同じになる。これにより、回路全体のしきい値電圧を下げられるので、図9に示すようにゲート遅延時間は大幅に短縮され、従来の V_t よりも低い V_{cc} でLSIが動作可能となり、しかもスタンバイ電流を従来と同様に抑えることができる。勿論、アクティブ時には、 V_{ss1} 、 V_{cc1} のノードは V_{ss} 、 V_{cc} の電位に戻され、通常のLSIと同じ動作方法となる。

【0046】図10(a)は第5の実施例における V_{ss1} 、 V_{cc1} の発生回路、図10(b)はこの回路における信号波形図を示す。図10(b)に示すように $\phi 1$ 、 $\phi 2$ のクロックをRASと同期させて動作することにより、アクティブ時には、

$$V_{cc1} = V_{cc}, V_{ss1} = V_{ss}$$

スタンバイ時には、

$$V_{cc1} < V_{cc}, V_{ss1} > V_{ss}$$

となる。 $\phi 1$ 、 $\phi 2$ によりスタンバイ時には Q_{p5} 、 Q_{n5} を切ることにより、自動的に V_{cc1} 、 V_{ss1} の電位は V_{cc} 以下、 V_{ss} 以上になる。

【0047】また、図11はメモリに適用した模式的な構成例を示している。周辺回路のスタンバイ時にカットオフするMOSトランジスタは共通線 $L1$ 及び $L2$ に接続され、各コア回路のスタンバイ時にカットオフとなるpMOSトランジスタの一方の端子はトランジスタ Q_{11} 、 Q_{21} 、～、 Q_{31} を介して共通線 $L1$ に接続され、各コア回路のスタンバイ時にカットオフとなるnMOSトランジスタの一方の端子はトランジスタ Q_{12} 、 Q_{22} 、～、 Q_{32} を介して共通線 $L2$ に接続されている。そして、共通線 $L1$ はトランジスタ Q_{01} を介して電源 V_{cc} に接続され、共通線 $L2$ はトランジスタ Q_{02} を介して電源 V_{ss} に接続されている。

【0048】そして、スタンバイ時はトランジスタ Q

01, Q02がオフで、共通線L1はVcc1の電位、共通線L2はVss1の電位となり、アクティブ時はトランジスタQ01, Q02がオンで、共通線L1はVccの電位、共通線L2はVssの電位となる。さらに、アクティブ時において、例えばコア回路1はトランジスタQ11, Q12がオンでVccとVssの電位となり、トランジスタQ11, Q12がオフではVcc1とVss1の電位となる。なお、この図には示さないが、周辺回路及び各コア回路の必要な部分には電源Vcc及びVssが接続されている。

【0049】このような構造では、共通線L1, L2に多数のコア回路がつながるため、スタンバイ→アクティブ時やアクティブ→スタンバイ時に大きな駆動電流が必要となる。そこで各コア回路と共通線L1, L2との間にトランジスタQ11~Q32を設置し、選択するコア回路のみトランジスタをオン・オフするようにしている。

【0050】このような構成であれば、スタンバイとアクティブとの切り換えの際に全てのコア回路でVcc, Vssの電位を変更するのではなく、一部のコア回路でVcc, Vssの電位を変更するため、スタンバイ→アクティブ時やアクティブ→スタンバイ時における消費電流を大幅に低減することができる。

【0051】図12及び図13は、本発明の第6の実施例を示す。図12(a)~(c)はNANDゲートの各スタンバイ時の固定ノードでの、Vss1, Vcc1の利用法を示す。図13(a)~(c)はNORゲートの例を示す。この他、他の論理ゲートでも同じであるが、スタンバイ時出力が“H”の時は、Vssの代わりにVss1を用い、スタンバイ時出力が“L”の時は、Vccの代わりにVcc1を用いればよい。

【0052】図14は本発明の第7の実施例を示し、これはDRAMのカラムデコードの例である。図12及び図13の記号を用いて示してある。これも、図12及び図13で説明したルールに従い同様に実現することができる。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0053】

【発明の効果】以上詳述したように本発明によれば、MOSトランジスタのしきい値の設定やスタンバイ時の電源Vcc, Vssの可変設定を行うことにより、スタンバイ時の消費電流低減と高速動作という相反する問題を

解決することができ、内部電源を低電圧化した場合にも高速動作を保ち、且つスタンバイ電流を低く抑えた半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるメモリ回路の一部の論理ゲートを示す図。

【図2】第1の実施例におけるゲート遅延を示す図。

【図3】第1の実施例におけるVccミニマムでのゲート遅延時間を説明するための図。

10 【図4】本発明をNANDに適用した第2の実施例を示す図。

【図5】本発明をNORに適用した第2の実施例を示す図。

【図6】本発明をDRAMに適用した第3の実施例を示す図。

【図7】本発明をDRAMのカラムデコードに適用した第4の実施例を示す図。

【図8】本発明の第5の実施例に係わるメモリ回路の一部の論理ゲートを示す図。

20 【図9】第5の実施例に用いるVss1, Vcc1の発生回路を示す図。

【図10】第5の実施例におけるゲート遅延時間を説明するための図。

【図11】第5の実施例をメモリに適用した模式的な構成例を示す図。

【図12】本発明をNANDに適用した第6の実施例を示す図。

【図13】本発明をNORに適用した第6の実施例を示す図。

30 【図14】本発明をDRAMのカラムデコードに適用した第7の実施例を示す図。

【図15】従来の問題点を説明するための図。

【図16】従来のインバータの回路構成を示す図。

【図17】従来のSRAM及びDRAMのスタンバイ時とアクティブ時における電流の変化を示す。

【符号の説明】

Q1, Q2, Qn1~Qn5...nMOSトランジスタ

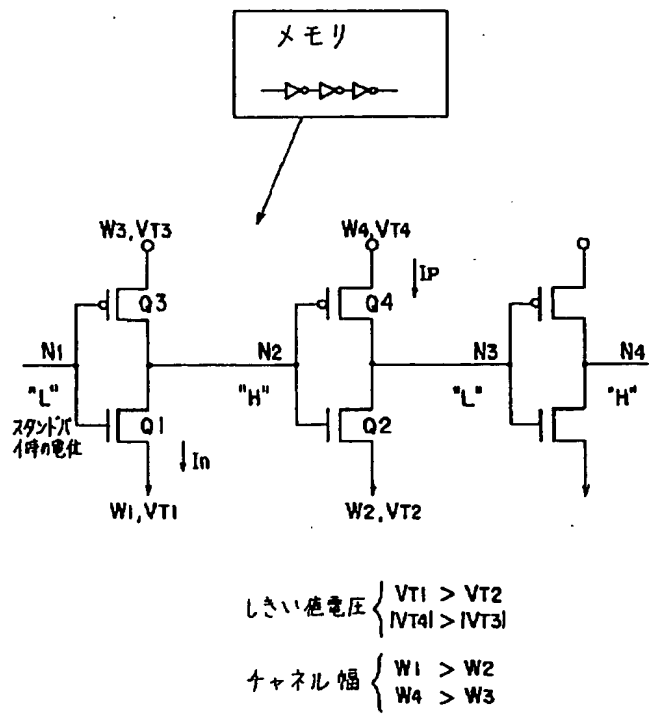
Q3, Q4, Qp1~Qp5...pMOSトランジスタ

N1~N5...ノード

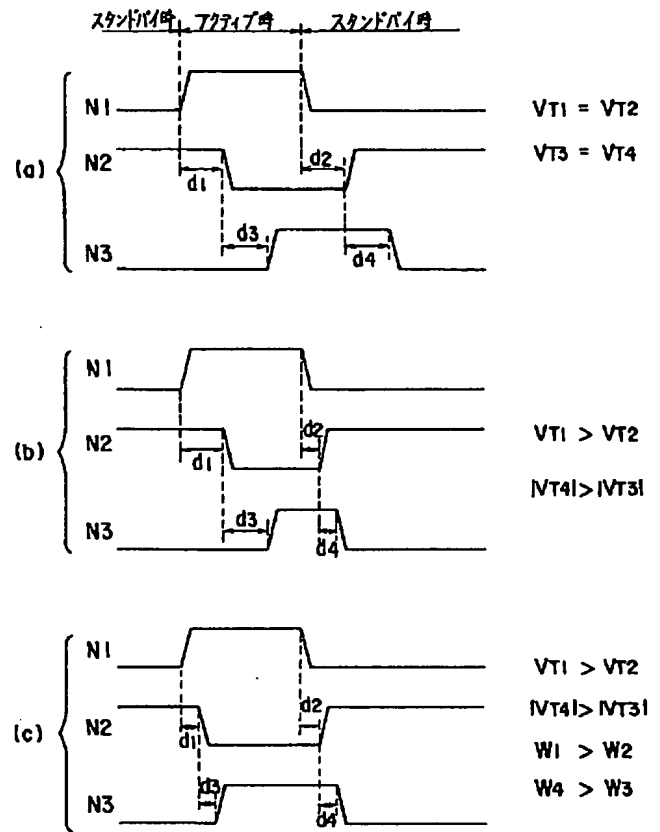
40 Vcc, Vss...内部電源

Vcc1, Vss1...内部制御電位

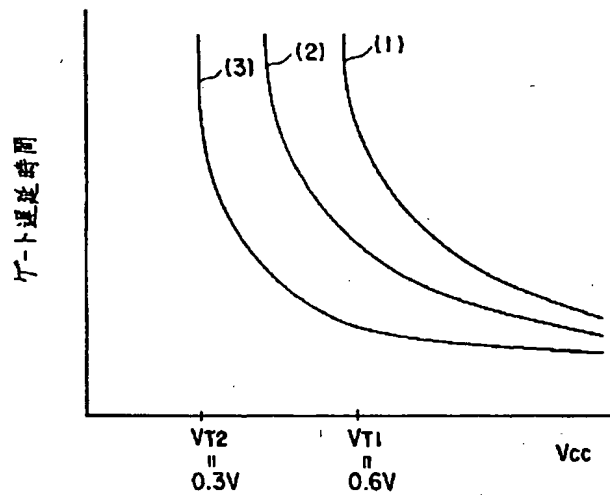
【図1】



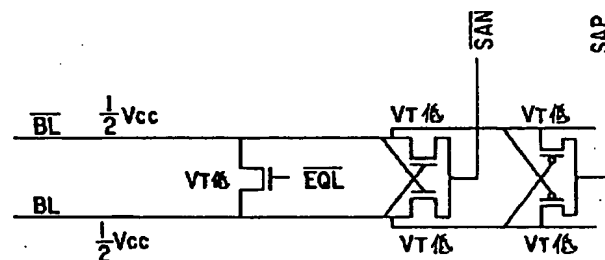
【図2】



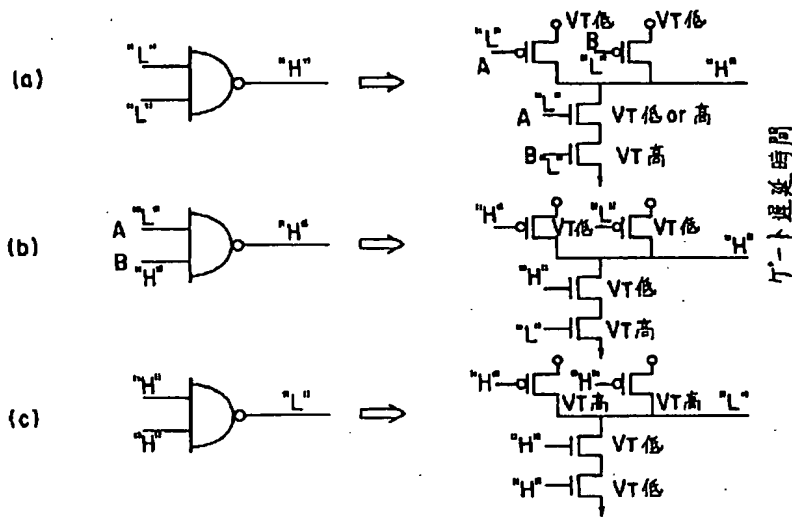
【図3】



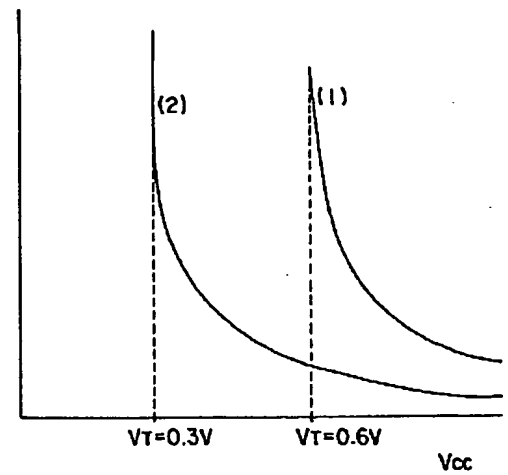
【図6】



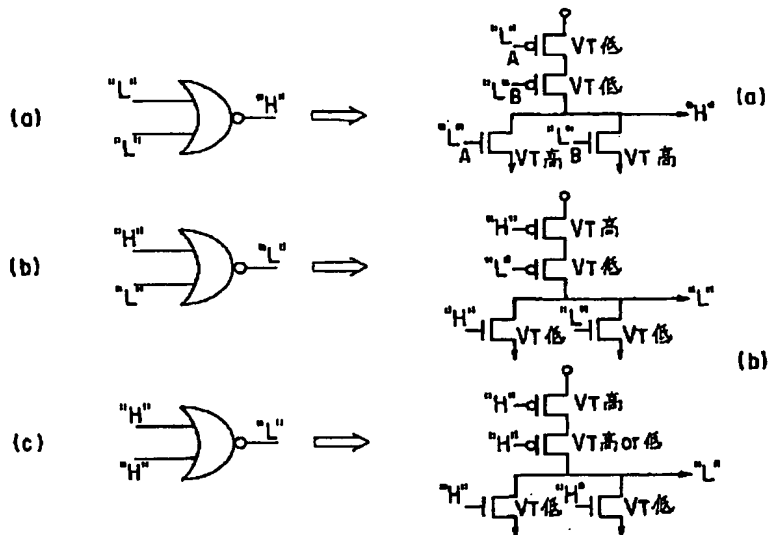
【図4】



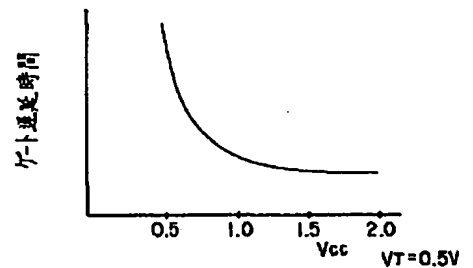
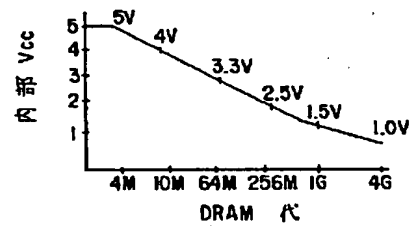
【図9】



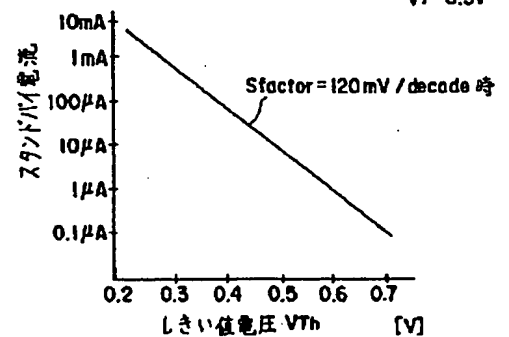
【図5】



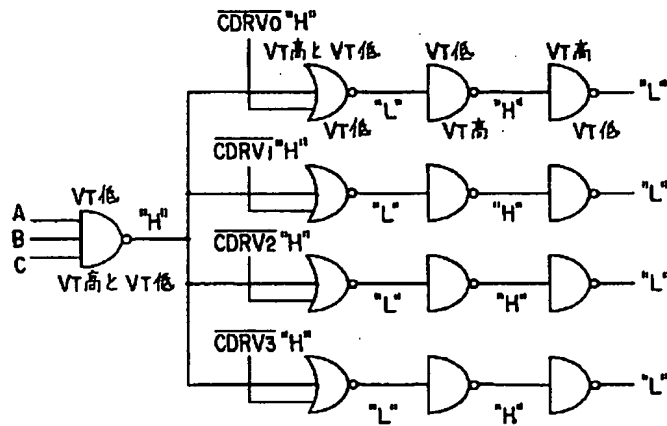
【図15】



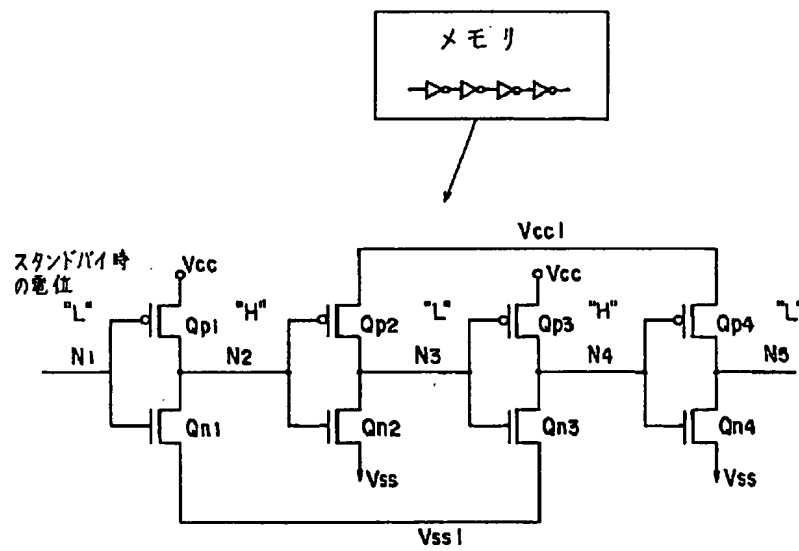
(c)



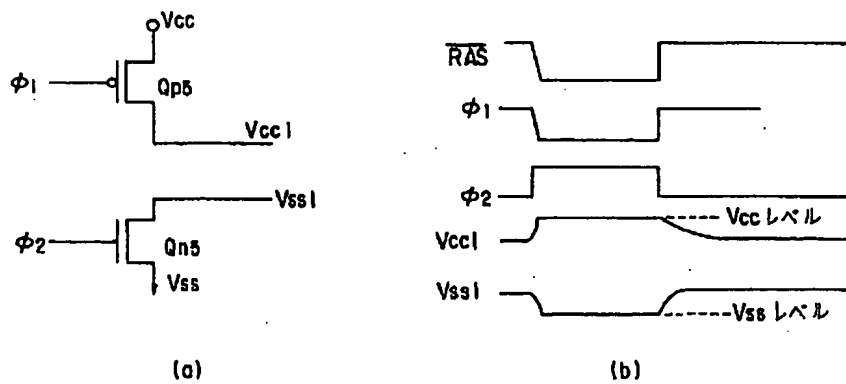
【図7】



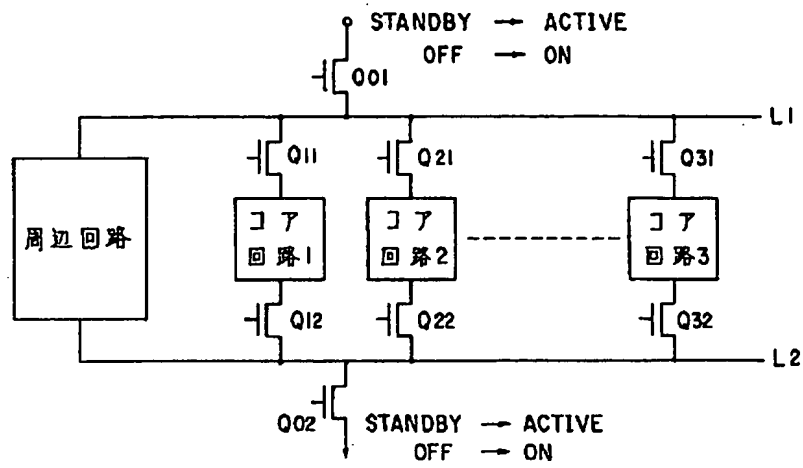
【図8】



【図10】



【図11】



【図12】

